

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): SUZUKI, Yoshito et al.

Application No.:

Group:

Filed: September 25, 2001

Examiner:

For: SYNCHRONIZING SIGNAL PROCESSING CIRCUIT

11/30/01
09/25/01
09/961245
U.S. PRO

LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

September 25, 2001
1190-0519P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	139626/01	05/10/01

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: _____

MICHAEL K. MUTTER

Reg. No. 29,680

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sll

SUZUKI, Yoshito et al

September 25, 2001

BSKB, LLP

(703) 205-8000

1190-0519P

1 of 1

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月10日

出 願 番 号

Application Number:

特願2001-139626

出 願 人

Applicant(s):

三菱電機株式会社

Jc821 U.S. PTO

09/961245

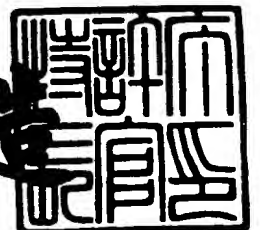


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 531455JP01

【提出日】 平成13年 5月10日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/06

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 鈴木 禎人

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 南 浩次

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103117

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期信号処理回路

【特許請求の範囲】

【請求項 1】 入力される第 1 の同期信号に基づき第 2 の同期信号を生成して出力する同期信号処理回路において、

一定周波数のクロックをカウントし、前記第 1 の同期信号の入力が検出される度にリセットされる第 1 のカウンタと、

前記第 1 のカウンタのカウント値が第 1 の値に達したときに開状態に変化し、前記第 1 のカウンタがリセットされたとき、及び前記第 1 のカウンタのカウント値が前記第 1 の値より大きい第 2 の値に達したときに閉状態に変化する第 1 のゲート信号を発生する第 1 のゲート信号発生回路と、

前記クロックをカウントし、リセット信号が入力される度にリセットされる第 2 のカウンタと、

前記第 2 のカウンタのカウント値が前記第 2 の値に達したときに自走同期パルスが発生する自走同期パルス発生回路と、

前記第 2 のカウンタのカウント値が前記第 1 の値に達したときに開状態に変化し、前記第 2 のカウンタがリセットされたときに閉状態に変化する第 2 のゲート信号を発生する第 2 のゲート信号発生回路と、

前記第 1 のゲート信号及び前記第 2 のゲート信号の少なくとも一方が開状態を示す期間は前記第 1 の同期信号を通過させ、それ以外は前記第 1 の同期信号を阻止する第 1 のゲート回路と、

前記第 1 のゲート回路から前記第 1 の同期信号が力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに、同期パルスを生成し前記第 2 の同期信号として外部に出力する同期パルス生成回路と、

前記第 1 のゲート回路から前記第 1 の同期信号が入力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに前記リセット信号を前記第 2 のカウンタに出力するリセット信号発生回路と、

を備えることを特徴とする同期信号処理装置。

【請求項 2】 入力される第 1 の同期信号に基づき第 2 の同期信号を生成し

て出力する同期信号処理回路において、

一定周波数のクロックをカウントし、前記第 1 の同期信号の入力が検出される度にリセットされる第 1 のカウンタと、

前記第 1 のカウンタのカウント値が第 1 の値に達したときに開状態に変化し、前記第 1 のカウンタがリセットされたとき、及び前記第 1 のカウンタのカウント値が前記第 1 の値より大きい第 2 の値に達したときに閉状態に変化する第 1 のゲート信号を発生する第 1 のゲート信号発生回路と、

前記クロックをカウントし、リセット信号が入力される度にリセットされる第 2 のカウンタと、

前記第 2 のカウンタのカウント値が前記第 2 の値に達したときに自走同期パルスが発生する自走同期パルス発生回路と、

前記第 2 のカウンタのカウント値が前記第 1 の値に達したときに開状態に変化し、前記第 2 のカウンタがリセットされたときに閉状態に変化する第 2 のゲート信号を発生する第 2 のゲート信号発生回路と、

前記第 1 のゲート信号及び前記第 2 のゲート信号の少なくとも一方が開状態を示す期間は前記第 1 の同期信号を通過させ、それ以外は前記第 1 の同期信号を阻止する第 1 のゲート回路と、

前記第 2 のゲート信号が開状態を示す期間は前記第 1 の同期信号を通過させ、それ以外は前記第 1 の同期信号を阻止する第 2 のゲート回路と

前記第 2 のゲート回路から前記第 1 の同期信号が入力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに、同期パルスを生成し、前記第 2 の同期信号として外部に出力する同期パルス生成回路と、

前記第 1 のゲート回路から前記第 1 の同期信号が入力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに前記リセット信号を前記第 2 のカウンタに出力するリセット信号発生回路と、

を備えることを特徴とする同期信号処理装置。

【請求項 3】 前記第 2 のカウンタのカウント値が前記第 2 の値に達したときにセットされ、前記第 1 の同期信号が前記第 1 のゲート回路を通過したときにクリアされる自走モードフラグを生成するモード判定回路を更に備え、

前記自走同期パルス発生回路は、前記自走モードフラグがクリアされているときは前記第 2 のカウンタのカウント値が前記第 2 の値に達したときに、前記自走モードフラグがセットされているときには、前記第 2 のカウンタのカウント値が前記第 1 の値より大きく前記第 2 の値より小さい第 3 の値に達したときに前記自走同期パルスを発生し、

前記第 2 のゲート信号発生回路は、前記自走モードフラグがクリアされているときは前記第 2 のカウンタのカウント値が前記第 1 の値に達したときに前記第 2 のゲート信号を開状態に変化させ、前記自走モードフラグがセットされているときは前記第 2 のカウンタのカウント値が前記第 1 の値より小さい第 4 の値に達したときに前記第 2 のゲート信号を開状態に変化させることを特徴とする請求項 1 または 2 に記載の同期信号処理回路。

【請求項 4】 前記自走モードフラグがクリアされており、且つ前記第 1 のゲート信号が閉状態を示している期間に前記第 1 の同期信号の入力が検出されたときにセットされ、前記自走モードフラグがセットされているときに前記第 2 のカウンタのカウント値が前記第 3 の値に達したとき、及び前記自走モードフラグの状態に関らず前記第 1 の同期信号が前記第 1 のゲートを通過したときにクリアされる選択信号を発生する選択信号発生回路を更に備え、

前記同期パルス生成回路は、前記選択信号がクリアされているときは前記第 2 のゲート回路から前記第 1 の同期信号が入力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに同期パルスを生成し、前記第 2 の同期信号として外部に出力し、前記選択信号がセットされているときは前記第 1 のゲートを通過した前記第 1 の同期信号を前記第 2 の同期信号として外部に出力することを特徴とする請求項 3 に記載の同期信号処理回路。

【請求項 5】 前記第 1 の同期信号は、垂直同期信号であり、前記第 1 及び第 2 のカウンタには、前記クロックとして水平同期信号が供給されることを特徴とする請求項 1 から 4 のいずれか一項に記載の同期信号処理回路。

【請求項 6】 入力される前記第 1 の同期信号の周期を計測する周期計測回路と、前記第 1 から第 4 の値を該周期計測回路の計測した周期の値により設定する手段とを更に備えることを特徴とする請求項 3 に記載の同期信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、画像表示装置や情報記録再生装置などの映像機器に用いる同期信号処理回路に関わり、特に入力される同期信号に混入する擬似同期パルスを除去し、また、欠落した同期信号を補償することにより、周期変動の小さい安定な同期信号を出力する同期信号処理回路に関する。

【0002】

【従来の技術】

映像機器において映像の表示あるいは記録を行うためには、周期変動の小さい安定した同期信号が必要である。しかし、アンテナで受信される電波が弱いときや、受信チャンネルの切り替えが行われるときなど、一時的に同期信号の周期が乱れることがある。また、NTSC方式などでは、映像信号から再生される水平同期信号の連続性を確保するため、垂直同期期間には水平同期信号の整数倍の周波数を有する等化パルス、切り込みパルス等の擬似同期パルスが含まれているので、VTR再生時、ビデオヘッドのスイッチングポイントにおいて再生された同期信号の位相が急激に変化することもある。同期信号の位相の乱れから生じる画質の劣化を防止するため、入力同期信号の位相の乱れを補正し、安定した周期の同期信号を出力する同期信号処理回路が使用される。

【0003】

図11に、特公平7-89653号公報に開示された水平同期信号処理回路の構成を示す。

図11において20は水平同期信号を入力する入力端子、21は入力端子20より入力される水平同期信号に混入するパルス幅の狭い雑音を除去するノイズ除去回路、22は後述するマスク回路25の出力に基づいて予め与えられた周期のタイミングパルスが発生するタイミングパルス発生回路、23はタイミングパルス発生回路22及びマスク回路25の出力に基づいて水平同期信号欠落時に自走同期パルスを生成する自走同期パルス発生回路、24はノイズ除去回路21、自走同期パルス発生回路23及びマスク回路25の出力に基づいて動作モードを判

定するモード判定回路、25はタイミングパルス発生回路22、自走同期パルス発生回路23及びモード判定回路24の出力に基づいてゲートの開閉を制御することによりノイズ除去回路21から出力される水平同期信号の通過または阻止を決定するマスク回路、26は自走同期パルス発生回路23とマスク回路25の出力に基づいて水平同期パルスを再生する同期パルス生成回路、27は出力端子である。

【0004】

図11のような構成を持つ同期信号処理回路の動作は以下の通りである。

入力端子20より入力される水平同期信号は負極性、即ち、一定のパルス幅を有するL (Low) レベルのパルス信号であるとする。ノイズ除去回路21には水晶発振器などによって得られる周期の安定したクロックで駆動される4ビットシフトレジスタが内蔵されており、この4ビットシフトレジスタの最初の2段がLレベル、後段の2段がH (High) レベルであるときにのみ、ノイズ除去回路21はHレベルを出力するようにする。これによってパルス幅が2クロック未満のノイズを除去することができる。またノイズ除去回路21の出力がHレベルとなるとときには水平同期信号の基準エッジである立ち下がリエッジが検出されたことを示している。

【0005】

タイミングパルス発生回路22は、前述の周期が安定したクロックをカウントする、即ち、クロックパルスが入力される度にカウント値を1だけ増分する第1のカウンタを内蔵している。この第1のカウンタは、マスク回路25の出力信号がHレベルとなったとき、またはカウント値が予め指定された第1の値に達したときにリセットされる。第1の値としては1水平期間、即ち水平同期信号の周期に相当する値に設定する。これにより第1のカウンタはカウント値が最大でも1水平期間に相当する値に達したときに必ずリセットされる。タイミングパルス発生回路22は第1のカウンタのカウント値が第1の値に達したときに、該第1のカウンタをリセットすると共にタイミングパルスを発生し、これを自走同期パルス発生回路23に供給する。またこれとは別に、タイミングパルス発生回路22は、第1のカウンタのカウント値が予め指定された1水平期間よりも若干短い期

間に相当する第2の値に達したときにもタイミングパルスをマスク回路25に出力する。ここでは第2の値を1水平期間よりも5%だけ短い期間に相当する値であるとする。従って、タイミングパルス発生回路22は、第1のカウンタのカウント値が1水平期間の95%に相当する値に達したときにタイミングパルスをマスク回路25に出力することになる。

【0006】

自走同期パルス発生回路23は第2のカウンタを内蔵している。この第2のカウンタはタイミングパルス発生回路22から出力されるタイミングパルスによって上記クロックの計数を開始し、マスク回路25の出力がHレベルとなったとき、またはカウント値が予め指定された第3の値に達したときに計数を停止する。ここでは、第3の値を1水平期間の5%に相当する値とする。自走同期パルス発生回路23は第2のカウンタのカウント値が第3の値に達したときに自走同期パルスを発生し、モード判定回路24、マスク回路25及び同期パルス生成回路26に供給する。即ち、自走同期パルス発生回路23は、タイミングパルス発生回路22からタイミングパルスが入力された場合には、第1のカウンタがクロックのカウントを開始してから1水平期間の105%に相当する時間が経過した時点で自走同期パルスを発生することになる。

【0007】

モード判定回路24は、同期状態と自走状態の二つの状態を取り得るステートマシンと8進カウンタとを内蔵している。ステートマシンは8進カウンタが8を計数する度に状態を反転させる。8進カウンタはステートマシンの状態が同期状態であるときには、擬似同期パルスあるいは自走同期パルス発生回路23で発生した自走同期パルスが入力される度にカウント値を1増加させ、また、正しい同期パルスが入力される度にカウント値を0にリセットする。一方、ステートマシンの状態が自走状態であるときには、8進カウンタは逆に擬似同期パルスあるいは自走同期パルスが入力される度にカウント値を0にリセットし、正しい同期パルスが入力される度にカウント値を1増加させる。従って、正しい同期パルスのみが8回連続して入力されればステートマシンは自走状態から同期状態に遷移し、擬似同期パルスあるいは自走同期パルスのみが8回連続して入力されれば同期

状態から自走状態に遷移することになる。このステートマシンの状態はマスク回路 2 5 に出力される。なお、正しい同期パルスと擬似同期パルスとは、ノイズ除去回路 2 1 が H レベル（入力同期信号の立下りエッジ）を出力した時点における後述のマスク回路 2 5 のゲートの状態で区別することができる。即ち、マスク回路 2 5 のゲートが開状態の時にノイズ除去回路 2 1 から出力されるパルスは正しい同期パルスであり、逆にマスク回路 2 5 のゲートが閉状態のときにノイズ除去回路 2 1 から出力されるパルスは擬似同期パルスである。

【 0 0 0 8 】

マスク回路 2 5 は、ゲート信号により開閉が制御されるゲート及びゲート信号を発生する手段を備えている。この手段は、タイミング発生回路 2 2 からタイミングパルスを受け取ってからゲートの出力が H レベルとなるまで H レベルのゲート信号をゲートに供給することにより該ゲートを開状態とし、それ例外では L レベルのゲート信号を供給することにより該ゲートを閉状態にする。ゲート信号が H レベルであればノイズ除去回路 2 1 の出力がそのままゲートの出力となり、ゲート信号が L レベルであればノイズ除去回路 2 1 の出力に関わらず、ゲートの出力は常に L レベルとなる。このゲート信号はモード判定回路 2 4 に出力される。またマスク回路 2 5 は、モード判定回路 2 4 の出力が同期状態を示していれば、ゲート回路の出力をタイミングパルス発生回路 2 2、自走同期パルス発生回路 2 3 及び同期パルス生成回路 2 6 にそれぞれ供給するが、モード判定回路 2 4 の出力が自走状態を示していれば、それらにはノイズ除去回路 2 1 の出力そのものを供給する。

【 0 0 0 9 】

同期パルス生成回路 2 6 はマスク回路 2 5 の出力が H レベルとなったとき、あるいは自走同期パルス発生回路 2 3 によって自走同期パルスが発生されたときのいずれかの時点から一定期間だけ L レベルを出力することによって、出力端子 2 7 より出力される水平同期信号が適切なパルス幅を有するようにする。

【 0 0 1 0 】

図 1 2、図 1 3、図 1 4 は、入力端子 2 0 より入力される水平同期信号、マスク回路 2 5 の内部信号であるゲート信号、自走同期パルス発生回路 2 3 が発生す

る自走同期パルス、及び出力端子 2 7 より出力される水平同期信号の波形を示したタイミングチャートである。

【 0 0 1 1 】

図 1 2 は入力端子 2 0 より入力される水平同期信号に周期の短い擬似同期パルスが含まれている場合を示している。図中の T_0 は入力される水平同期信号の周期を表している。水平同期信号が安定した周期 T_0 で入力されている場合には、最後の水平同期信号が入力されてからタイミングパルス発生回路 2 2 においてタイミングパルスが発生する 1 水平期間の 9 5 % に相当する期間が経過するまではゲートが閉状態となっているため、短い周期の擬似同期パルスはゲートを通過することができず、擬似同期パルスの影響に起因する水平同期の乱れを防ぐことができる。

【 0 0 1 2 】

図 1 3 は入力端子 2 0 より入力される水平同期信号が欠落してみかけの周期が本来の 2 倍の周期である $2T_0$ となった場合を示している。ゲートが開状態となっているときに水平同期信号が検出されない場合には、最後の水平同期信号が入力されてから水平期間の 1 0 5 % に相当する期間が経過した時に自走同期パルス発生回路 2 3 によって自走同期パルスが発生する。これを水平同期パルスとして同期パルス生成回路 2 6 から出力することによって、周期の大きな変動を防ぐことができる。

【 0 0 1 3 】

図 1 4 は入力端子 2 0 より入力される水平同期信号がある時点を境に途切れる場合を示している。最初の自走同期パルスは最後の水平同期信号が入力されてから水平期間の 1 0 5 % に相当する期間経過した時に発生するが、タイミングパルス発生回路 2 2 に内蔵されている第 1 のカウンタは T_0 の周期でリセットされるため、二回目以降の自走同期パルスは本来の水平周期と同じ T_0 毎に発生する。

【 0 0 1 4 】

【発明が解決しようとする課題】

上記の従来 of 水平同期信号処理回路を用いれば、擬似同期パルスを除去し、水平同期パルスの欠落を補償することによって安定な水平同期信号を得ることがで

きる。しかし、上記したような従来の同期信号処理回路は、一時的に擬似同期パルスの混入や同期信号の欠落があったとしても、同期信号は、基本的には、一定の周期（あるいはその倍数）で入力され、位相の連続性が保たれると想定しており、同期信号の位相が急激に変化することは想定していない。

【 0 0 1 5 】

しかし、VTR再生時などでは、再生された同期信号の位相が急激に変化することがあり、このような場合には従来の同期信号処理回路では出力を入力水平同期信号に速やかに同期させることができない。例えば、図15に示すように、一定周期 T_0 で水平同期信号が入力されているときに、ある時点で同期信号の位相が急激に変化し、最後の水平同期信号が入力されてから非常に短い時間の経過後に水平同期信号が入力され、その後、再び一定周期 T_0 で水平同期信号が入力されるような場合には、位相の変化後、出力を入力水平同期信号に同期させるまでにはある程度の時間がかかる。

【 0 0 1 6 】

マスク回路25のゲート信号がHレベルとなり、ゲートが開状態となるのは水平同期信号が最後にゲート回路を通過してから、周期 T_0 の倍数に相当する時間が経過した時点を中心として、その前後 T_0 の5%に相当する期間である。従って、位相の変化量によっては、位相の変化が生じた後、水平同期信号がゲートが閉状態の間に現れるようになり、ゲートにより通過が阻止される可能性がある。この場合、図15に示すように、位相変化後は、入力同期信号ではなく、自走同期パルスに同期した同期信号が連続して出力されることになる。このため従来の同期信号処理回路では、8進カウンタにより自走同期パルス発生回路23で発生する自走同期パルス、またはゲートの通過を阻止された水平同期信号をカウントし、それらが合計8回にわたって連続してカウントされたときにモード判定回路24のステートマシンを同期状態から自走状態に遷移させることによってゲートを常の開状態とする機能が備わっている。

【 0 0 1 7 】

しかしこの状態遷移が起こるまでにはある程度の長い時間を必要とするため、たとえば表示装置などの場合、表示画面の上部が同期不良のため歪んで表示され

る可能性がある。さらに、位相の急激な変化が生じた後の水平同期信号の位相は以前の水平同期信号とはかなり相違しているため、VTR再生時などでは、ゲートを常の開状態としたときに最初に入力されるパルスが等化パルス、切り込みパルス等の擬似同期パルスになる可能性もある。

【0018】

状態遷移に要する時間を短縮するために、8進カウンタではなく、2進カウンタを使用することにより、自走同期パルス、またはゲートの通過を阻止された水平同期信号を2回カウントした時点で状態を遷移させることもさせることもできる。しかし、このように構成すると図16のように、例えば擬似同期パルスが3回連続して入力されたときには、3回目の擬似同期パルスが水平同期信号として出力されてしまう。

【0019】

また、特許第2838995号には、入力される同期信号の位相変化を検出したときには外部から強制的にカウンタをリセットすることによって速やかに出力を入力同期信号に追従させる機構を設けた水平同期信号処理回路を開示しているが、位相変化の具体的な検出方法やカウンタをリセットする適切なタイミングを決定する方法については記載が無い。

【0020】

この発明は、上記のような問題を解決するためになされたものであり、入力される同期信号に含まれる擬似同期パルスを除去し、欠落した同期信号を補償するだけでなく、入力同期信号の位相が急激に変化した場合でも速やかに出力を入力同期信号に追従させることが可能な同期信号処理回路を提供することを課題とする。

【0021】

【課題を解決するための手段】

上記課題を解決すべく、請求項1に記載の発明は、入力される第1の同期信号に基づき第2の同期信号を生成して出力する同期信号処理回路において、

一定周波数のクロックをカウントし、前記第1の同期信号の入力が検出される度にリセットされる第1のカウンタと、

前記第 1 のカウンタのカウント値が第 1 の値に達したときに開状態に変化し、前記第 1 のカウンタがリセットされたとき、及び前記第 1 のカウンタのカウント値が前記第 1 の値より大きい第 2 の値に達したときに閉状態に変化する第 1 のゲート信号を発生する第 1 のゲート信号発生回路と、

前記クロックをカウントし、リセット信号が入力される度にリセットされる第 2 のカウンタと、

前記第 2 のカウンタのカウント値が前記第 2 の値に達したときに自走同期パルスが発生する自走同期パルス発生回路と、

前記第 2 のカウンタのカウント値が前記第 1 の値に達したときに開状態に変化し、前記第 2 のカウンタがリセットされたときに閉状態に変化する第 2 のゲート信号を発生する第 2 のゲート信号発生回路と、

前記第 1 のゲート信号及び前記第 2 のゲート信号の少なくとも一方が開状態を示す期間は前記第 1 の同期信号を通過させ、それ以外は前記第 1 の同期信号を阻止する第 1 のゲート回路と、

前記第 1 のゲート回路から前記第 1 の同期信号が力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに、同期パルスを生成し前記第 2 の同期信号として外部に出力する同期パルス生成回路と、

前記第 1 のゲート回路から前記第 1 の同期信号が入力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに前記リセット信号を前記第 2 のカウンタに出力するリセット信号発生回路と、

を備えることを特徴とする。

【 0 0 2 2 】

上記課題を解決すべく、請求項 2 に記載の発明は、入力される第 1 の同期信号に基づき第 2 の同期信号を生成して出力する同期信号処理回路において、

一定周波数のクロックをカウントし、前記第 1 の同期信号の入力が検出される度にリセットされる第 1 のカウンタと、

前記第 1 のカウンタのカウント値が第 1 の値に達したときに開状態に変化し、前記第 1 のカウンタがリセットされたとき、及び前記第 1 のカウンタのカウント値が前記第 1 の値より大きい第 2 の値に達したときに閉状態に変化する第 1 のゲ

ート信号を発生する第 1 のゲート信号発生回路と、

前記クロックをカウントし、リセット信号が入力される度にリセットされる第 2 のカウンタと、

前記第 2 のカウンタのカウント値が前記第 2 の値に達したときに自走同期パルスが発生する自走同期パルス発生回路と、

前記第 2 のカウンタのカウント値が前記第 1 の値に達したときに開状態に変化し、前記第 2 のカウンタがリセットされたときに閉状態に変化する第 2 のゲート信号を発生する第 2 のゲート信号発生回路と、

前記第 1 のゲート信号及び前記第 2 のゲート信号の少なくとも一方が開状態を示す期間は前記第 1 の同期信号を通過させ、それ以外は前記第 1 の同期信号を阻止する第 1 のゲート回路と、

前記第 2 のゲート信号が開状態を示す期間は前記第 1 の同期信号を通過させ、それ以外は前記第 1 の同期信号を阻止する第 2 のゲート回路と

前記第 2 のゲート回路から前記第 1 の同期信号が入力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに、同期パルスを生成し、前記第 2 の同期信号として外部に出力する同期パルス生成回路と、

前記第 1 のゲート回路から前記第 1 の同期信号が入力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに前記リセット信号を前記第 2 のカウンタに出力するリセット信号発生回路と、

を備えることを特徴とする。

【 0 0 2 3 】

請求項 3 に記載の発明は、請求項 1 または 2 に記載の発明において、前記第 2 のカウンタのカウント値が前記第 2 の値に達したときにセットされ、前記第 1 の同期信号が前記第 1 のゲート回路を通過したときにクリアされる自走モードフラグを生成するモード判定回路を更に備え、

前記自走同期パルス発生回路は、前記自走モードフラグがクリアされているときは前記第 2 のカウンタのカウント値が前記第 2 の値に達したときに、前記自走モードフラグがセットされているときには、前記第 2 のカウンタのカウント値が前記第 1 の値より大きく前記第 2 の値より小さい第 3 の値に達したときに前記自

走同期パルスが発生し、

前記第 2 のゲート信号発生回路は、前記自走モードフラグがクリアされているときは前記第 2 のカウンタのカウント値が前記第 1 の値に達したときに前記第 2 のゲート信号を開状態に変化させ、前記自走モードフラグがセットされているときは前記第 2 のカウンタのカウント値が前記第 1 の値より小さい第 4 の値に達したときに前記第 2 のゲート信号を開状態に変化させることを特徴とする。

【 0 0 2 4 】

請求項 4 に記載の発明は、請求項 3 に記載の発明において、前記自走モードフラグがクリアされており、且つ前記第 1 のゲート信号が閉状態を示している期間に前記第 1 の同期信号の入力が検出されたときにセットされ、前記自走モードフラグがセットされているときに前記第 2 のカウンタのカウント値が前記第 3 の値に達したとき、及び前記自走モードフラグの状態に関らず前記第 1 の同期信号が前記第 1 のゲートを通過したときにクリアされる選択信号が発生する選択信号発生回路を更に備え、

前記同期パルス生成回路は、前記選択信号がクリアされているときは前記第 2 のゲート回路から前記第 1 の同期信号が入力されたとき、及び前記自走同期パルス発生回路から前記自走同期パルスが入力されたときに同期パルスを生成し、前記第 2 の同期信号として外部に出力し、前記選択信号がセットされているときは前記第 1 のゲートを通過した前記第 1 の同期信号を前記第 2 の同期信号として外部に出力することを特徴とする。

【 0 0 2 5 】

請求項 5 に記載の発明は、請求項 1 から 4 のいずれかに記載の発明において、前記第 1 の同期信号は、垂直同期信号であり、前記第 1 及び第 2 のカウンタには、前記クロックとして水平同期信号が供給されることを特徴とする。

請求項 6 に記載の発明は、請求項 3 に記載の発明において、入力される前記第 1 の同期信号の周期を計測する周期計測回路と、前記第 1 から第 4 の値を該周期計測回路の計測した周期の値により設定する手段とを更に備えることを特徴とする。

【 0 0 2 6 】

【発明の実施の形態】

実施の形態 1.

図 1 は本発明の実施の形態 1 に係る同期信号処理回路の構成を示すブロック図である。

図 1 において、1 は同期信号を入力する入力端子、2 は所定の周波数のクロックをカウントし、入力端子 1 より同期信号が入力される度にリセットされ、カウント値が 0 に戻る第 1 のカウンタ、3 は第 1 のカウンタ 2 のカウント値が所定の第 1 の値と等しくなったときに開状態を示し、第 1 のカウンタ 2 がリセットされた直後、あるいは第 1 のカウンタ 2 のカウント値が第 1 の値よりも大きい第 2 の値と等しくなったときに閉状態を示す第 1 のゲート信号を発生する第 1 のゲート信号発生回路、4 は上記クロックをカウントし、後述するリセット信号発生回路 11 によって発生されたりセット信号によってリセットされ、カウント値が 0 に戻る第 2 のカウンタ、5 は後述する自走同期パルス発生回路 6 及び第 2 のゲート信号発生回路 7 に出力する自走モードフラグを、第 2 のカウンタ 4 のカウント値が上記第 2 の値と等しくなったときにセットし、入力端子 1 から入力された同期信号が第 1 のゲート回路 8 を通過したときにクリアするモード判定回路、6 はモード判定回路 5 が出力する自走モードフラグがクリアされているときには第 2 のカウンタ 4 のカウント値が第 2 の値と等しくなったときに自走同期パルスを発生し、自走モードフラグがセットされているときには第 2 のカウンタ 4 のカウント値が第 1 の値よりも大きく、第 2 の値よりも小さい第 3 の値と等しくなったときに自走同期パルスを生成する自走同期パルス発生回路、7 はモード判定回路 5 が出力する自走モードフラグがクリアされているときには第 2 のカウンタ 4 のカウント値が第 1 の値と等しくなったとき、また自走モードフラグがセットされているときには、第 2 のカウンタ 4 のカウント値が第 1 の値よりも小さい第 4 の値と等しくなったときにそれぞれ開状態を示し、自走モードフラグの状態にかかわらず第 2 のカウンタ 4 がリセットされた直後に閉状態を示す第 2 のゲート信号を発生する第 2 のゲート信号発生回路、8 は第 1 のゲート信号と第 2 のゲート信号のいずれか一方が開状態を示しているときには入力端子 1 から入力される同期信号を通過させ、いずれも閉状態を示しているときには入力端子 1 から入力される同

期信号を阻止する第1のゲート回路、9は第2のゲート信号発生回路7が発生する第2のゲート信号が開状態を示しているときには入力端子1から入力される同期信号を通過させ、閉状態を示しているときには入力端子1から入力される同期信号を阻止する第2のゲート回路、10は第2のゲート回路9を通過した同期信号と入力端子1から入力される同期信号とから一定のパルス幅を有する同期パルス生成するとともに、この生成された同期パルスまたは自走同期パルス発生回路6で発生した自走同期パルスを同期信号として外部に出力する同期パルス生成回路、11は第1のゲート回路8を通過した同期信号または自走同期パルス発生回路6で発生した自走同期パルスが入力されたときにリセット信号を第2のカウンタに出力するリセット信号発生回路、12は出力端子である。

【0027】

図1に示した実施の形態1の同期信号処理回路の動作を、入力同期信号が水平同期信号である場合について以下に説明する。

ここでは、水平同期信号の許容ジッタ幅を T_j 、擬似同期パルスを完全に除去したときの水平同期信号の周期を T_c とすると、第1の値を $T_c - T_j$ 、第2の値を $T_c + T_j$ 、第3の値を T_c 、第4の値を $T_c - 2T_j$ にそれぞれ相当する値とする。また入力端子1から入力される水平同期信号は負極性、即ちLレベルのパルス信号であるとする。

【0028】

第1のカウンタ2はクロックパルスが入力される度にカウント値を1だけ増加させ、水平同期信号の基準エッジとしての立ち下がリエッジが検出される度にリセットされカウント値が0に戻る。第1のカウンタ2のカウント値が $T_c - T_j$ に相当する値と等しくなったときに、第1のゲート信号発生回路3が発生する第1のゲート信号は閉状態から開状態に変化する。この開状態は、第1のカウンタ2が入力端子1より入力される水平同期信号によってリセットされるか、あるいは第1のカウンタ2のカウント値が $T_c + T_j$ に相当する値と等しくなるまで続く。したがって第1のゲート回路8は、第1のカウンタ2のカウント値が $T_c - T_j$ から $T_c + T_j$ の間にあるときに、入力端子1から入力される水平同期信号を通過させる。

【 0 0 2 9 】

第 1 のゲート回路 8 の出力は、リセット信号発生回路 1 1 を介しリセット信号として第 2 のカウンタ 4 に供給されるので、第 2 のカウンタも第 1 のカウンタ 2 のカウント値が $T_c - T_j$ から $T_c + T_j$ の間にあるときに、入力端子 1 から入力される水平同期信号によってリセットされる。自走同期パルス発生回路 6 は、モード判定回路 5 が出力する自走モードフラグがクリアされていれば第 2 のカウンタ 4 のカウント値が $T_c + T_j$ に相当する値と等しくなったとき、また、自走モードフラグがセットされていれば T_c に相当する値と等しくなったときに負極性で一定の幅を持つ自走同期パルスを発生する。自走同期パルス発生回路 6 が発生した自走同期パルスはリセット信号発生回路 1 1 に供給される。リセット信号発生回路 1 1 は、自走同期パルスの立ち下がリエッジをリセット信号として第 2 のカウンタ 4 にフィードバックするため、第 2 のカウンタ 4 は自走モードフラグの出力に依存して、第 2 のカウンタ 4 のカウント値が $T_c + T_j$ または T_c に相当する値と等しくなったときには必ずリセットされる。

【 0 0 3 0 】

モード判定回路 5 が発生する自走モードフラグは第 2 のカウンタ 4 が $T_c + T_j$ に相当する値と等しくなったときにセットされる。一旦、自走モードフラグがセットされると第 2 のカウンタ 4 は、そのカウント値が長くとも T_c に相当する値と等しくなったときにリセットされるため、最初の自走同期パルスは、最後の同期信号が入力された後、 $T_c + T_j$ の時間が経過した時点で発生するが、その後は一定周期 T_c で発生することになる。

【 0 0 3 1 】

第 2 のゲート信号発生回路 7 は、既に説明したように、モード判定回路 5 が出力する自走モードフラグがクリアされているときには、第 2 のカウンタ 4 のカウント値が $T_c - T_j$ と等しくなったときに開状態を示し、リセット信号発生回路 1 1 がリセット信号を発生して第 2 のカウンタがリセットされたときに閉状態を示すゲート信号を発生する。自走モードフラグがクリアされているときに自走同期パルスが発生し第 2 のカウンタをリセットするのは、第 2 のカウンタ 4 のカウント値が $T_c + T_j$ と等しくなったときであるから、自走モードフラグがクリア

されているときには、第 2 のゲート回路 9 が開状態となっている期間は実質的に第 2 のカウンタのカウント値が $T_c - T_j$ から $T_c + T_j$ の間に相当する値になっている期間である。

【 0 0 3 2 】

第 2 のゲート信号発生回路 7 はまた、自走モードフラグ 4 がセットされているときには第 2 のカウンタ 4 のカウント値が $T_c - 2 T_j$ と等しくなったときに開状態を示し、第 2 のカウンタ 4 がリセットされたときに閉状態を示すゲート信号を発生する。自走モードフラグがセットされているときに自走同期パルスが発生し、第 2 のカウンタ 4 をリセットするのは、第 2 のカウンタ 4 のカウント値が T_c と等しくなったときであるから、自走モードフラグがセットされているときに第 2 のゲート回路 9 が開状態となっている期間は、実質的に第 2 のカウンタのカウント値が $T_c - 2 T_j$ から T_c の間に相当する値になっている期間である。

【 0 0 3 3 】

同期パルス生成回路 1 0 は、第 2 のゲート回路 9 の出力が L レベルとなってから入力端子 1 が H レベルとなるまでの期間に等しいパルス幅を有する L レベルのパルスを同期パルスとして生成し、出力端子 1 2 から水平同期信号として出力する。同期パルス生成回路 1 0 はまた、自走同期パルス発生回路 6 が自走同期パルスを発生したときには、この自走同期パルスを水平同期信号として出力端子 1 2 から出力する。

【 0 0 3 4 】

同期パルス生成回路 1 0 に同期信号を出力させるために供給される信号は第 2 のゲート回路の出力、または自走同期パルス発生回路 6 で発生した自走同期パルスのいずれかである。従って、第 1 のゲート信号が開状態であり第 2 のゲート信号が閉状態である場合には入力端子 1 から同期信号が入力されない限り、出力端子 1 2 に現れる水平同期信号は、自走モードフラグがクリアされているときには $T_c - T_j$ から $T_c + T_j$ の間、自走モードフラグがセットされているときには $T_c - 2 T_j$ から T_c の間の周期を有する信号である。

【 0 0 3 5 】

以下、図 2 から図 6 にそれぞれ示すタイミングチャートを用いて実施の形態 1

である同期信号処理回路の動作を具体的に説明する。これらのタイミングチャートには、入力端子 1 から入力される水平同期信号、第 1 のゲート信号発生回路 3 が発生する第 1 のゲート信号、第 2 のゲート信号発生回路 7 が発生する第 2 のゲート信号、自走同期パルス発生回路 6 が発生する自走同期パルス、モード判定回路 5 が発生する自走モードフラグ、出力端子 1 2 より出力される水平同期信号が示されている。第 1 のゲート信号及び第 2 のゲート信号は H レベルであるときに開状態を、L レベルであるときに閉状態を示すものとする。

【 0 0 3 6 】

図 2 は一定の周期 T_c で入力端子 1 より水平同期信号が入力されている例を示している。この場合には、第 1 のカウンタ 2 と第 2 のカウンタ 4 は常に同じタイミングでリセットされる。このため、第 1 のゲート回路 8 と第 2 のゲート回路 9 はいずれも入力端子 1 より水平同期信号が入力されてから $T_c - T_j$ 経過した後に関状態となり、入力端子 1 より T_c 毎に入力される水平同期信号は第 1 のゲート回路 8 及び第 2 のゲート回路 9 の両方を通過することができる。したがって自走同期パルス発生回路 6 において自走同期パルスは発生されず、同期パルス生成回路 1 0 から出力端子 1 2 を介して出力される同期信号は入力端子 1 から入力される水平同期信号と同じものとなる。

【 0 0 3 7 】

図 3 は、周期の短い擬似同期パルスが 4 回連続して入力端子 1 より入力された例を示している。これらの周期の短い擬似同期パルスは、いずれも第 1 のゲート信号と第 2 のゲート信号の両方が閉状態であるときに入力されているため、第 1 のゲート回路 8 と第 2 のゲート回路 9 のいずれも通過することができず、出力端子 1 2 にはこれらの擬似同期パルスは現れない。

【 0 0 3 8 】

図 4 は入力端子 1 より周期 T_c で入力されるべき水平同期信号が一つ欠落し、みかけの水平周期が $2 T_c$ になった例を示している。本来入力されるべき水平同期信号が、第 1 のゲート信号と第 2 のゲート信号の少なくとも一方が開状態を示しているときに検出されない場合には、最後の水平同期信号が入力されてから、 $T_c + T_j$ が経過した時に自走同期パルスが発生する。これを水平同期信号とし

て同期パルス生成回路 10 から出力することによって、周期の大きな変動を防ぐことができる。なお、自走同期パルスが発生したときにはモード判定回路 5 の自走モードフラグがセットされるため、第 2 のゲート信号が開状態となるのは自走同期パルスが発生してから、 $T_c - 2T_j$ が経過した後、 T_c が経過するまでの期間である。従って入力端子 1 より最後の水平同期信号が入力されてから $2T_c$ 後に入力端子 1 より入力される水平同期信号は第 1 のゲート回路と第 2 のゲート回路のいずれも通過することができる。

【0039】

図 5 は入力端子 1 より入力される水平同期信号がある時点を境に無信号状態になった例を示している。最初の自走同期パルスは最後の水平同期信号が入力されてから本来の水平周期 T_c より長い $T_c + T_j$ の時間が経過した時に発生するが、このとき同時に自走モードフラグがセットされるため、二回目以降の自走同期パルスは本来の水平周期 T_c で発生する。

【0040】

図 6 は一定周期 T_c で水平同期信号が入力されているとき、最後の水平同期信号が入力されてから、短い間隔 t ($t > T_j$) を置いて水平同期信号が入力され、その後、再び一定周期 T_c で水平同期信号が入力される例を示している。本実施形態では、入力端子 1 から入力される水平同期信号に急激な位相変化があった場合でも、第 1 のカウンタ 2 は入力端子 1 から水平同期信号が入力される度にリセットされる。従って、最後の水平同期信号が入力されてから短い間隔 t をおいて水平同期信号の入力があった後、一水平周期 T_c が経過した時点で入力端子 1 より入力される水平同期信号は第 1 のゲート信号が開状態を示すときに現れることになり、第 1 のゲート回路を通過することができる。また、このときにはリセット信号発生回路 11 においてリセット信号が発生するので第 2 のカウンタ 4 もリセットされ、さらに T_c が経過した時点で入力される水平同期信号は第 2 のゲート回路を通過することが可能になる。このように、本実施形態では出力端子 12 から短い間隔をおいて水平同期信号が出力されることが防止され、且つ、出力信号を入力端子 1 より入力される水平同期信号に速やかに同期させることができる。

【 0 0 4 1 】

なお、実施の形態 1 ではモード判定回路 5 を用いることにより、自走モードフラグがセットされているときに発生される自走同期パルスの周期を T_c とすることを可能にしているが、自走同期パルスの周期が T_c よりも長くなっても問題がないときにはモード判定回路 5 を省くことができる。

【 0 0 4 2 】

また、実施の形態 1 では第 2 のゲート回路の出力を同期パルス発生回路 1 0 に供給しているが、第 2 のゲート回路を省き、第 1 のゲート回路を同期パルス発生回路 1 0 に供給するようにしても良い。このときには、水平同期信号が図 6 に示すように入力される場合、自走同期パルスが出力端子 1 2 より出力された直後に入力端子 1 から入力される水平同期信号が出力端子 1 2 に現れることになるが、この構成は、短い時間間隔を置いて水平同期信号が出力されるのを防ぐことより、出力端子 1 2 から出力される同期パルスを入力水平同期信号に速やかに同期させることを優先する場合には有効である。

尚、実施の形態 1 では入力端子 1 に水平同期信号が入力されるが、入力端子 1 に垂直同期信号を入力しても同じ効果が得られる。

【 0 0 4 3 】

実施の形態 2.

図 7 は本発明の同期信号処理回路の実施の形態 2 の構成を示すブロック図である。図 7 において、図 1 の要素と同じまたは対応する要素には同じ符号を付し、その説明は省略する。

【 0 0 4 4 】

実施の形態 2 は、第 1 のゲート回路 8 の出力が同期パルス生成回路 1 0 に供給される点、及び選択信号発生回路 1 3 が追加され、この選択信号発生回路 1 3 で発生する選択信号を同期パルス生成回路 1 0 に出力する点で実施の形態 1 と異なる。

【 0 0 4 5 】

選択信号発生回路 1 3 が発生する選択信号は、第 1 のゲート回路 8 の出力と自走同期パルス発生回路 1 3 の発生する自走同期パルスのいずれを優先すべきかを

指示する信号である。即ち、選択信号がセットされているときは、同期パルス生成回路 10 は第 1 のゲート回路 8 の出力に基づき生成した同期パルスを出し、選択信号がクリアされているときには自走同期パルスまたは第 2 のゲート回路 9 の出力に基づき生成した同期パルスを出力する。ここで、選択信号がセットされるのは、モード判定回路 5 が発生する自走モードフラグがクリアされており、かつ、第 1 のゲート信号発生回路 3 が発生する第 1 のゲート信号が閉状態を示しているときに、入力端子 1 から水平同期信号が入力された場合である。また選択信号がクリアされるのは、第 1 のゲート信号が開状態のときに入力端子 1 から水平同期信号が入力されたとき、及び自走モードフラグがセットされているときに第 2 のカウンタ 4 のカウント値が第 3 の値と等しくなったときのいずれかである。

【 0 0 4 6 】

実施の形態 2 の同期信号処理回路は、短い時間間隔を置いて水平同期信号が相次いで出力されることを防ぎつつ、入力端子 1 から入力される水平同期信号の位相が急激に変化した場合でも、実施の形態 1 に比べ、出力される同期パルスをより早く入力水平同期信号に同期させることが可能である。これを図 8、図 9 に示すタイミングチャートを用いて具体的に説明する。

【 0 0 4 7 】

図 8 は、入力端子 1 から入力される水平同期信号が図 6 と同じ場合についてのものである。最後の水平同期信号が入力されてから、短い時間 t の経過後に水平同期信号が入力端子 1 より入力されると、その時点では第 1 のゲート信号発生回路 3 が発生する第 1 のゲート信号は閉状態を示しているので選択信号がセットされる。したがってこの最後の水平同期信号が入力されてから $T_c + T_j$ が経過した後に自走同期パルス発生回路 6 が自走同期パルスを発生しても、同期パルス生成回路 10 はこれを選択しないため、出力端子 12 には自走同期パルスは現れない。一方、自走同期パルスが発生してから $t - T_j$ 経過後に入力端子 1 に入力される水平同期信号は、選択信号がセットされているために、第 1 のゲート回路 8 及び同期パルス生成回路 10 を通過して出力端子 12 に現れる。実施の形態 1 の図 6 のタイミングチャートと図 8 の実施の形態 2 のタイミングチャートを比較すれば明らかなように、実施の形態 2 は実施の形態 1 よりも、1 水平周期 T_c だけ

早く、出力同期パルスを入力同期信号に同期させることができる。

【 0 0 4 8 】

図 9 は入力端子 1 から入力される水平同期信号がなく、無信号の状態であったところにある時点から水平同期信号が入力端子 1 から入力されるようになった例を示すものである。無信号の状態では自走モードフラグがセットされており、第 2 のカウンタ 4 のカウント値が第 3 の値と等しくなったときに自走同期パルス発生回路 6 から自走同期パルスが発生するようになっているため選択信号はクリアされており、入力端子 1 からの水平同期信号の入力が再開されても第 1 のゲート回路の出力は選択されないため、短い時間間隔をおいて水平同期パルスが相次いで出力されることを防止できる。

【 0 0 4 9 】

V T R 再生時には、図 8 に示すように、垂直ブランキング期間に含まれる短周期の等価パルスあるいは切り込みパルスが入力端子 1 から入力される可能性がある。一方、一般的な映像機器では、デジタル映像信号処理に必要な画素クロックを、水平同期信号を P L L に供給して得ている。映像有効期間になる前に安定した周波数の画素クロックを P L L が出力できるようにするためには、自走同期パルスではなく正しい水平同期信号の基準エッジを可能な限り速やかに P L L に供給する必要がある。したがって図 8 のような場合では、同期信号生成回路 1 0 は自走同期パルスを出力することなく、次に入力される水平同期信号を待つ方が望ましい。

【 0 0 5 0 】

また、P L L から出力される画素クロックの周波数が、デジタル映像信号処理回路の最大動作クロック周波数を超えないようにするためには、短周期の水平同期信号が P L L に供給されないようにすることが必要である。したがって図 9 のような場合、同期信号生成回路 1 0 は、最後の自走同期パルスを出力した後は第 1 のゲート回路 8 の出力を選択することなく、T c 後に現れる次の水平同期信号の入力を待つ方が望ましい。

このような理由から、実施の形態 2 は、短周期の水平同期パルスが出力されることを防ぎつつ、入力端子 1 から入力される水平同期信号の位相が急激に変化し

た場合、出力を実施の形態 1 に比べてすばやく入力される水平同期信号に同期させることを可能にする構成を有する。

【 0 0 5 1 】

実施の形態 3.

実施の形態 3 は、水平同期信号を実施の形態 2 の同期信号処理回路で処理し、垂直同期信号を実施の形態 1 の同期信号処理回路で処理するように構成されている。

【 0 0 5 2 】

図 1 0 は本発明の実施の形態 3 の同期信号処理回路の構成図である。図 1 0 において 1 4 は水平同期信号を入力する入力端子、1 5 は垂直同期信号を入力する入力端子、1 6 は水平同期信号処理回路、1 7 は水平周期計測回路、1 8 は水平同期パルスの出力端子、1 9 は垂直同期信号処理回路、2 0 は垂直同期パルスの出力端子である。

【 0 0 5 3 】

水平同期信号処理回路 1 6 の構成及び動作は実施の形態 2 の同期信号処理回路と同様であるが、第 1 の値、第 2 の値、第 3 の値、第 4 の値を水平周期計測回路 1 7 で計測した入力水平同期信号の周期に基づいて設定する点で異なる。

【 0 0 5 4 】

水平周期計測回路 1 7 は、例えば、水平期間の長さが互いにほぼ等しい水平同期信号が 3 2 ライン（3 2 水平期間）分入力される度に、その計測値を更新する。具体的には、連続する 2 つの水平同期信号の水平期間に関して、先行の同期信号の水平期間とそれに続く信号の水平期間の差の絶対値が先行の信号の水平期間の $1/64$ 以下である場合には、後の信号の水平期間は先行の信号の水平期間とほぼ等しいとみなす。水平周期計測回路 1 7 は、互いにほぼ等しいとみなした水平期間を積算して行き、3 2 ライン連続してほぼ等しいとみなした水平期間が積算された場合には、積算値の $1/32$ の値を計測周期として水平同期信号処理回路 1 6 に出力する。連続する 2 つの水平同期信号の水平期間が異なると判断された場合には、今までの積算値をリセットし、積算をやり直す。

【 0 0 5 5 】

水平同期信号処理回路 1 6 は、例えば、水平周期計測回路 1 7 からの計測周期を T_c とし、 T_c の $1/32$ を T_j とすることにより、第 1 の値、第 2 の値、第 3 の値、第 4 の値をそれぞれ設定することができる。これにより、水平同期信号処理回路 1 6 は外部からの制御や設定を行わなくても、任意の水平周波数に対応することができる。

【 0 0 5 6 】

一方、垂直同期信号処理回路 1 9 は、水平同期信号処理回路 1 6 から出力される水平同期信号の基準エッジを第 1 のカウンタ 2 及び第 2 のカウンタ 4 にクロックとして供給する点を除けば、実施の形態 1 の同期信号処理回路と同じである。垂直期間は水平期間に比べて非常に長いため、第 1 のカウンタ 2 や第 2 のカウンタ 4 が水平同期信号処理回路 1 6 で用いるクロックと同じクロックをカウントするようにすると、カウンタのビット数が多くなり回路規模が増大する。したがって実施の形態 3 では、垂直同期信号処理回路の第 1 のカウンタ 2 及び第 2 のカウンタ 4 には水平同期信号の基準エッジをクロックとして供給し、第 1 の値、第 2 の値、第 3 の値、第 4 の値を、水平ライン数を単位とする値とすることにより、垂直同期信号処理回路の回路規模を小さくしている。

【 0 0 5 7 】

実施の形態 2 で述べたように水平同期信号処理回路 1 6 は入力端子 1 4 より入力される水平同期信号に短周期の擬同期パルスが含まれていたり、欠落があっても、安定した一定周期の水平同期信号を発生することができるため、垂直同期信号の処理を水平ライン数に基づいて行ったとしても、実用上十分な精度の垂直同期信号を得ることができる。

【 0 0 5 8 】

実施の形態 3 では、垂直同期信号処理回路 1 9 には、入力信号の垂直周期を計測する回路は設けていないが、水平周期計測回路 1 7 と同様な回路を用意し、入力される垂直同期信号の周期を計測するようにすれば、PC 信号など様々な垂直周期を持つ垂直同期信号を処理することができ、また、NTSC、PALなどの異なる規格に対応することができる。

【 0 0 5 9 】

なお、垂直同期信号は一般的にはPLLにより再生される画素クロックの周波数に影響しないため、実施の形態3では、垂直同期処理には実施の形態1の同期信号処理回路を用いたが、垂直同期信号処理に実施の形態2の同期信号処理回路を用いることもできる。

【0060】

【発明の効果】

この発明は、以上に説明したように構成されているので、以下に示すような効果を得ることができる。

【0061】

請求項1に記載の発明によれば、入力される同期信号に混入する擬似同期パルスを除去し、欠落した同期信号を補償するだけでなく、入力同期信号の位相が急激に変化した場合でも出力信号を速やかに入力同期信号に追従させることができる同期信号処理回路が得られる。

【0062】

請求項2に記載の発明によれば、入力同期信号に混入する擬似同期パルスを除去し、欠落した同期信号を補償するだけでなく、入力同期信号の位相が急激に変化した場合でも出力信号を速やかに入力同期信号に追従させることができ、且つ、短周期の水平同期信号が出力されることを防止できる同期信号処理回路が得られる。

【0063】

請求項3に記載の発明によれば、請求項1または2に記載の同期信号処理回路において、入力が無信号状態になった場合でも入力同期信号と同じ周期の同期パルスを連続的に出力することが可能になる。

【0064】

請求項4に記載の発明によれば、請求項3に記載の同期信号処理回路において、短周期の水平同期信号を出力することを防止でき、且つ、入力同期信号の位相が急激に変化した場合でも出力信号をより速やかに入力同期信号に追従させることができる。

【0065】

請求項 5 に記載の発明によれば、請求項 1 から 4 のいずれかに記載の同期信号処理回路において、回路規模を大きくすることなく、入力垂直同期信号の位相が急激に変化した場合でも出力信号を速やかに入力される垂直同期信号に追従させることを可能にする。

【 0 0 6 6 】

請求項 6 に記載の発明によれば、請求項 3 に記載の同期信号処理回路において、外部からの調整や制御を要することなく、任意の周波数の同期信号に対応することが可能になる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の同期信号処理回路の構成を示すブロック図である。

【図 2】 実施の形態 1 の同期信号処理回路の動作を説明するタイミングチャートである。

【図 3】 実施の形態 1 の同期信号処理回路の動作を説明するタイミングチャートである。

【図 4】 実施の形態 1 の同期信号処理回路の動作を説明するタイミングチャートである。

【図 5】 実施の形態 1 の同期信号処理回路の動作を説明するタイミングチャートである。

【図 6】 実施の形態 1 の同期信号処理回路の動作を説明するタイミングチャートである。

【図 7】 本発明の実施の形態 2 の同期信号処理回路の構成を示すブロック図である。

【図 8】 実施の形態 2 の同期信号処理回路の動作を説明するタイミングチャートである。

【図 9】 実施の形態 2 の同期信号処理回路の動作を説明するタイミングチャートである。

【図 1 0】 本発明の実施の形態 3 の同期信号処理回路の構成を示すブロック図である。

【図 1 1】 従来の同期信号処理回路の構成図である。

【図 1 2】 従来の同期信号処理回路の動作を説明するタイミングチャートである。

【図 1 3】 従来の同期信号処理回路の動作を説明するタイミングチャートである。

【図 1 4】 従来の同期信号処理回路の動作を説明するタイミングチャートである。

【図 1 5】 従来の同期信号処理回路の動作を示すタイミングチャートである。

【図 1 6】 従来の同期信号処理回路の動作を示すタイミングチャートである。

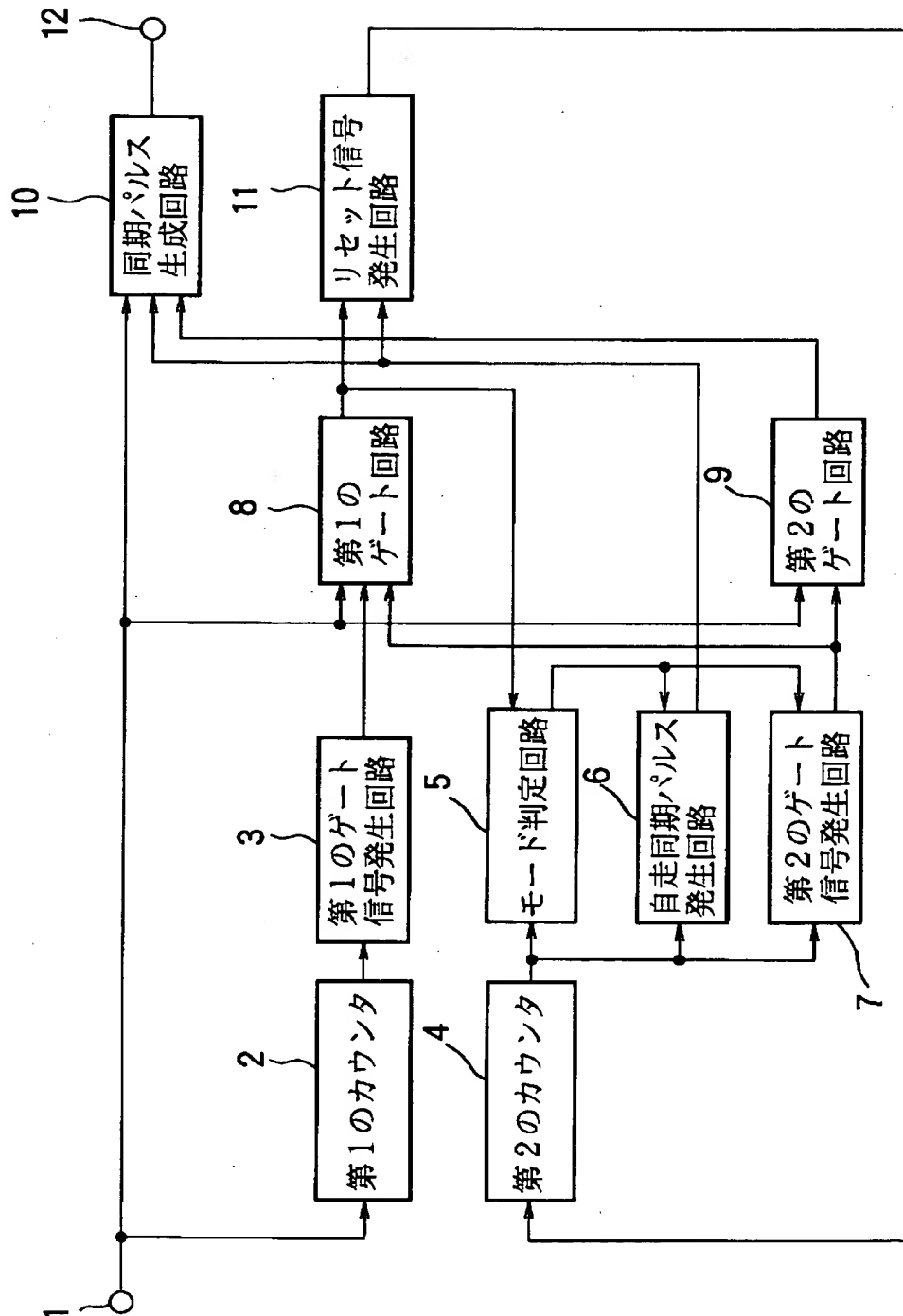
【符号の説明】

1, 14, 20 入力端子、 2 第1のカウンタ、 3 第1のゲート信号発生回路、 4 第2のカウンタ、 5 モード判定回路、 6 自走同期パルス発生回路、 7 第2のゲート信号発生回路、 8 第1のゲート回路、 9 第2のゲート回路、 10 同期パルス生成回路、 11 リセット信号発生回路、 12, 27 出力端子、 13 選択信号発生回路、 14 水平同期信号入力端子、 15 垂直同期信号入力端子、 16 水平同期信号処理回路、 17 水平周期計測回路、 18 水平同期信号出力端子、 19 垂直同期信号処理回路、 20 垂直同期信号出力端子。

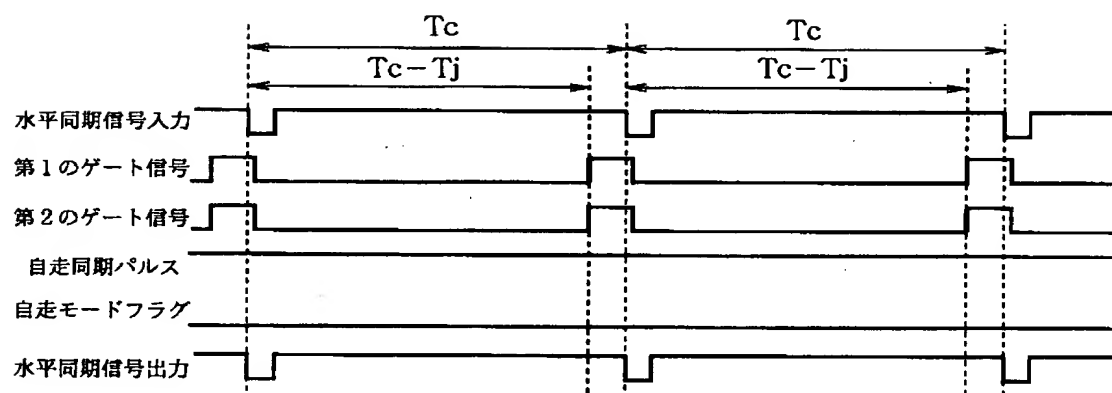
【書類名】

図面

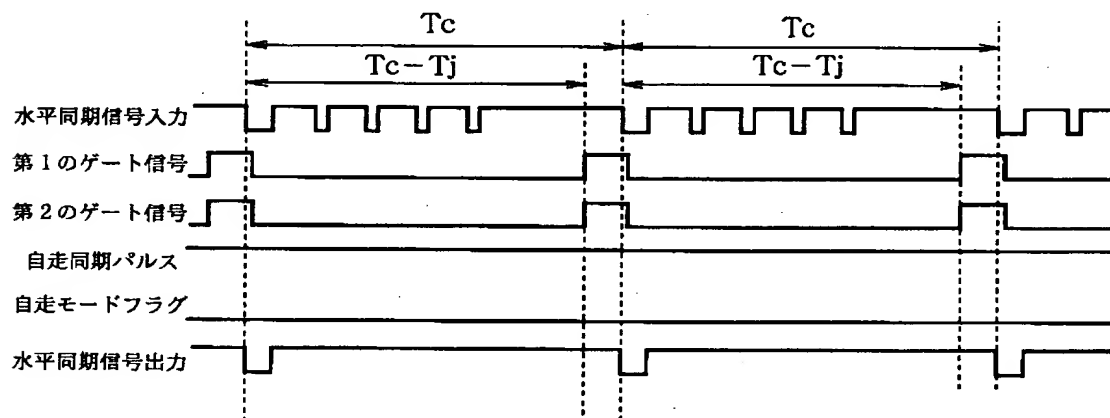
【図1】



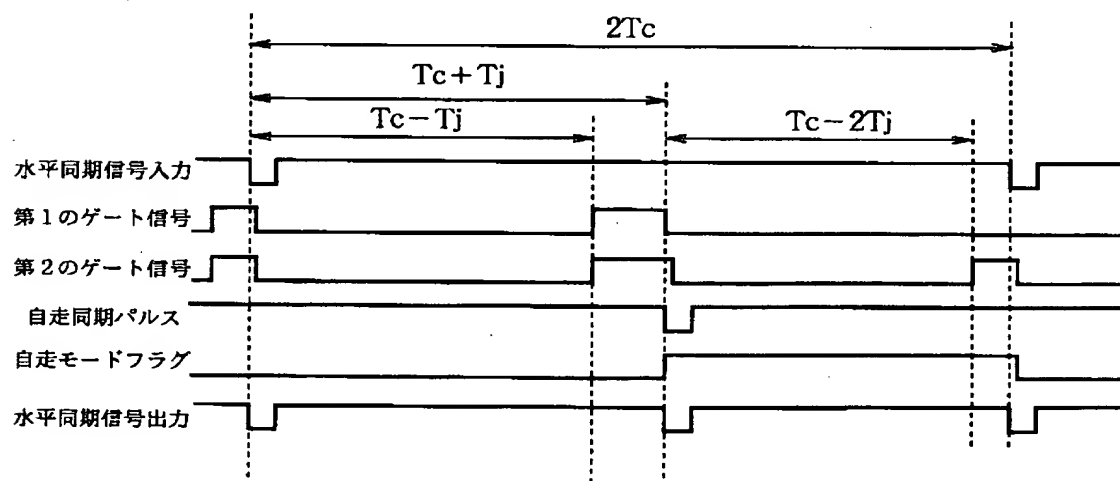
【図 2】



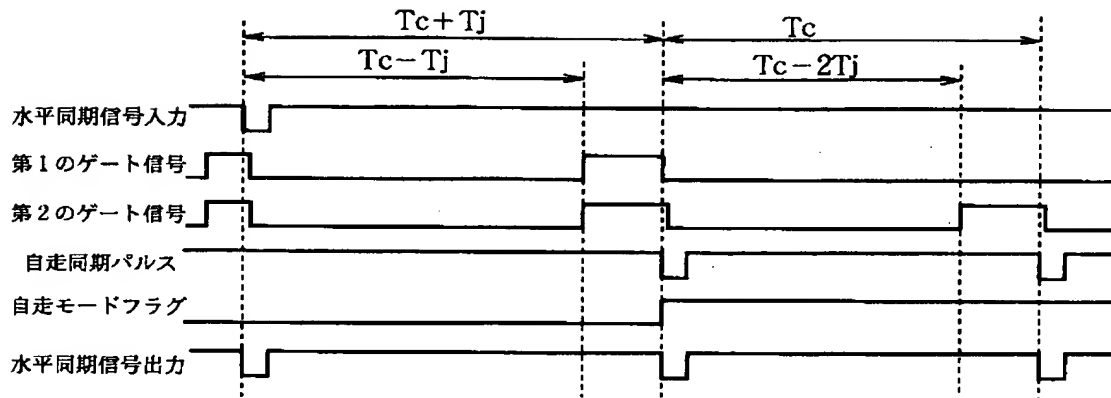
【図 3】



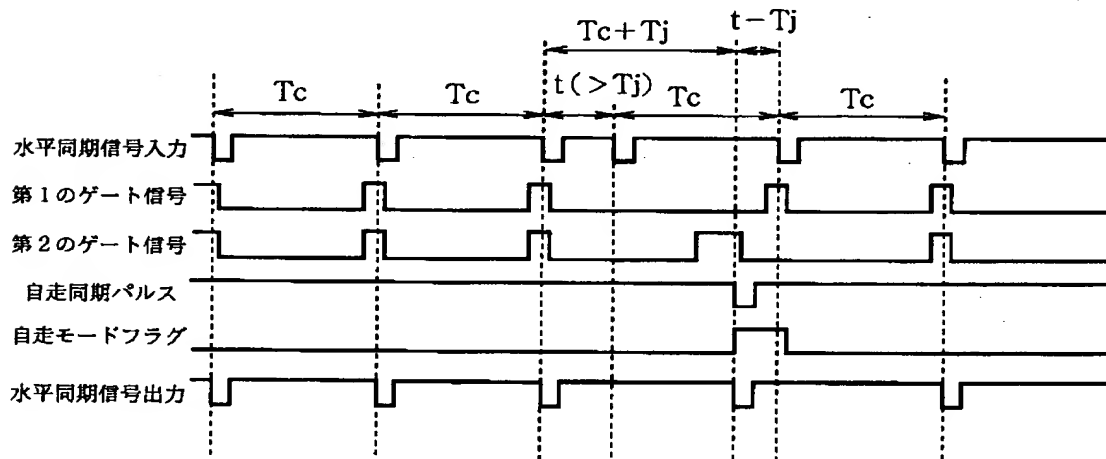
【図 4】



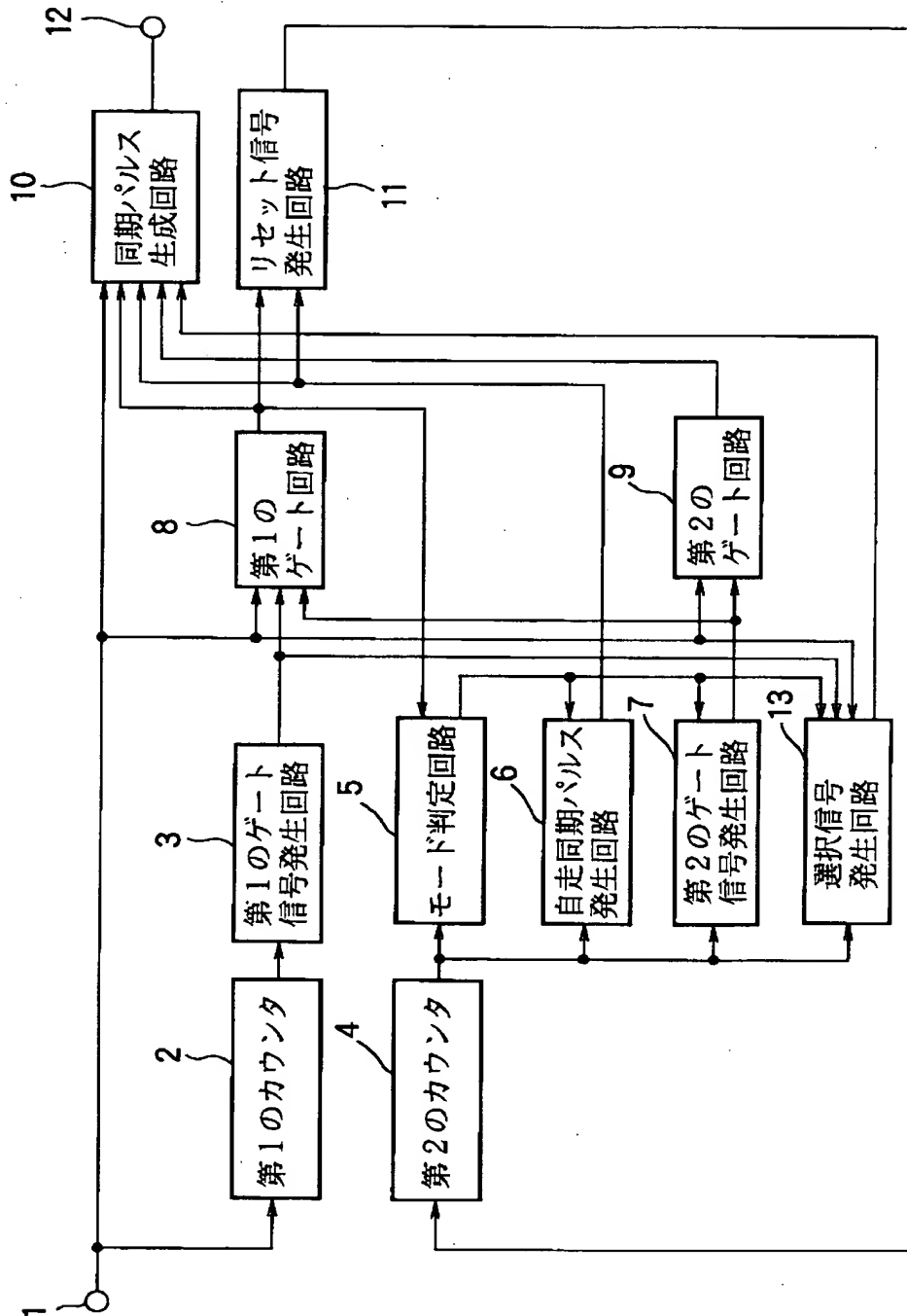
【図 5】



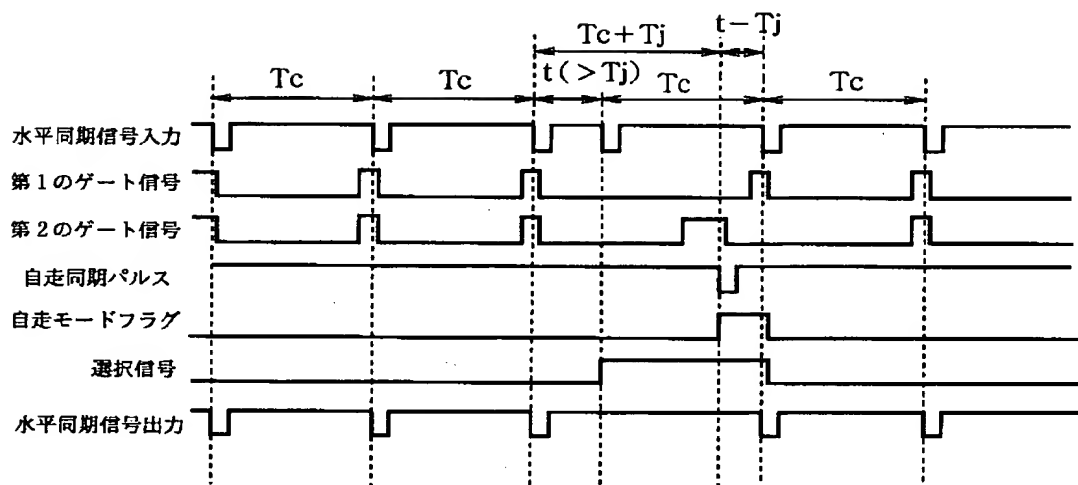
【図 6】



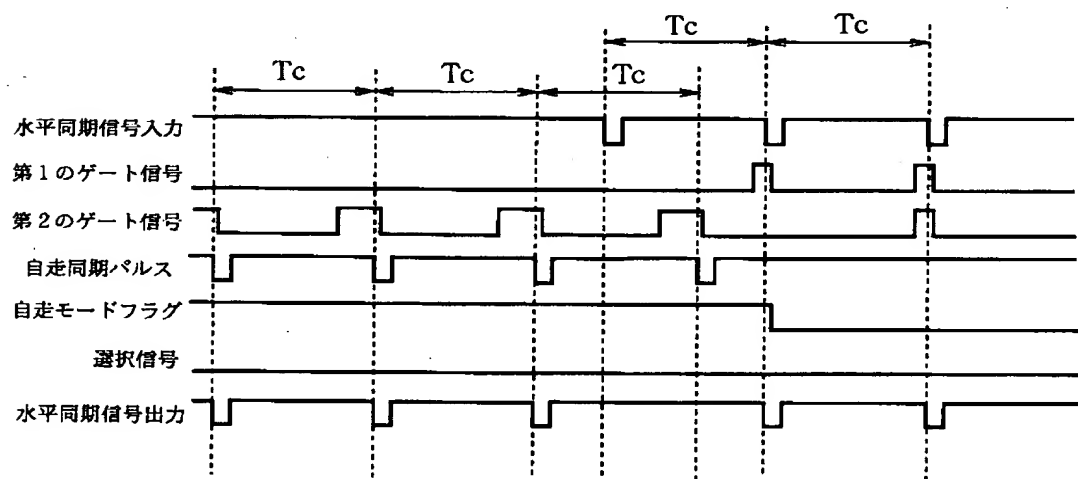
【图 7】



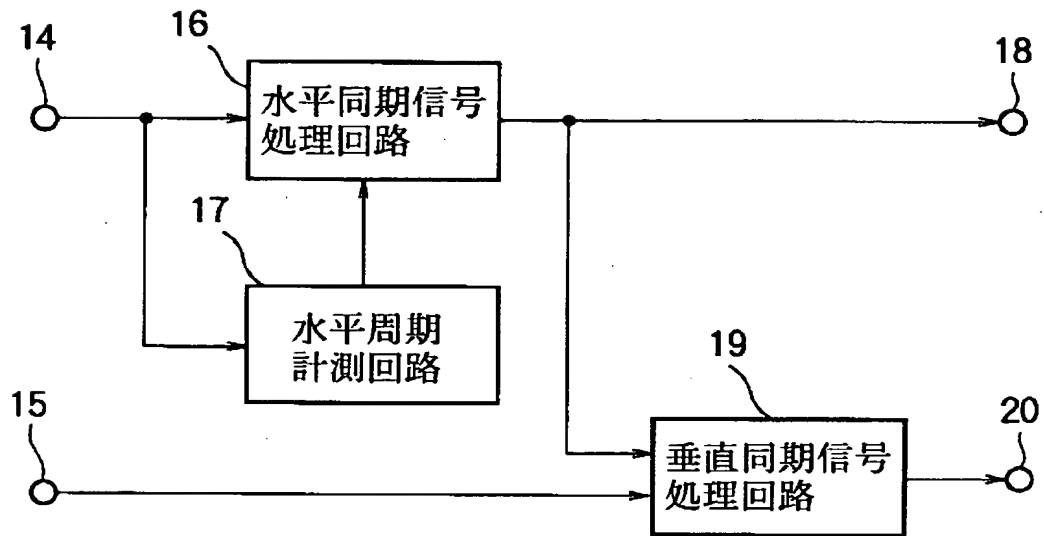
【図 8】



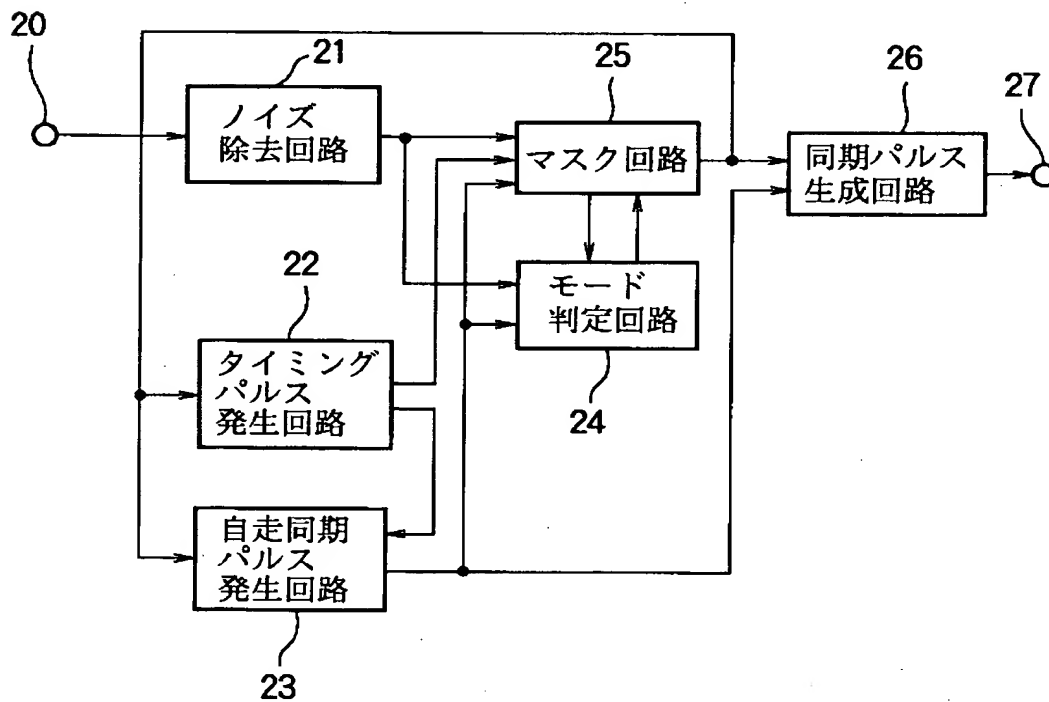
【図 9】



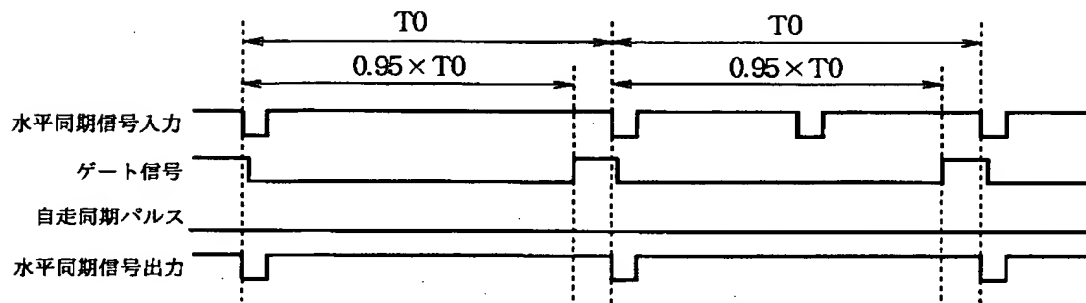
【図 1 0】



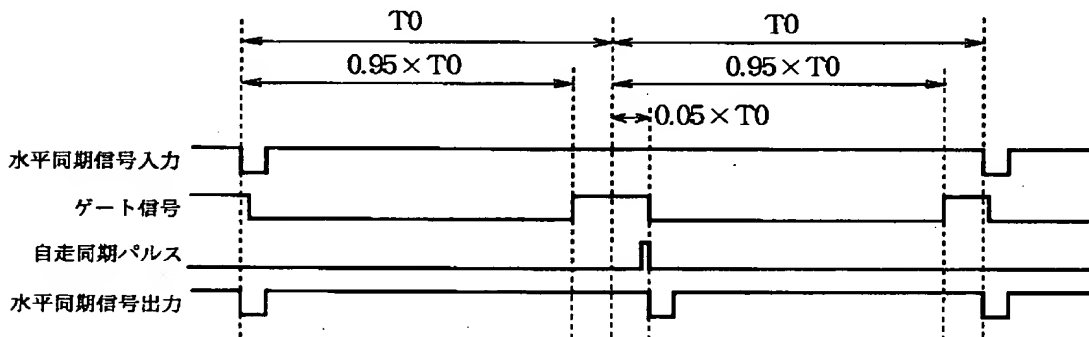
【図 1 1】



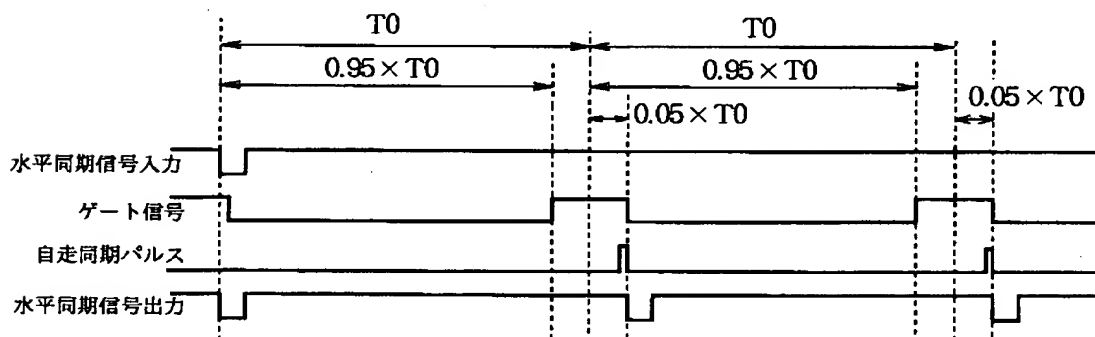
【図 1 2】



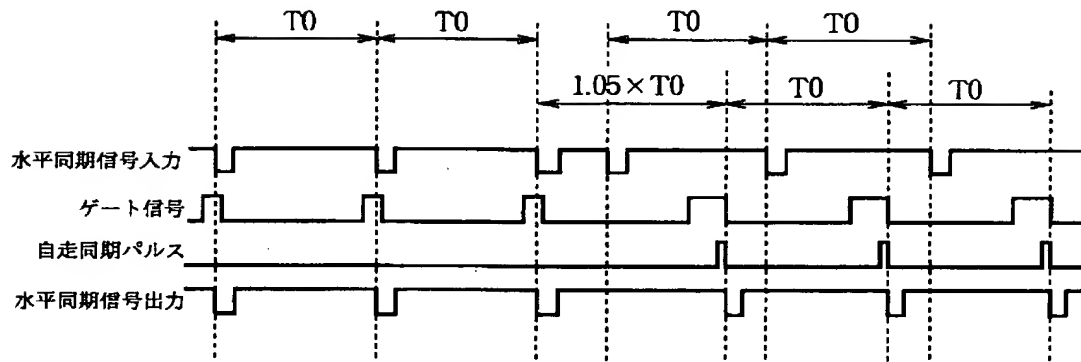
【図 1 3】



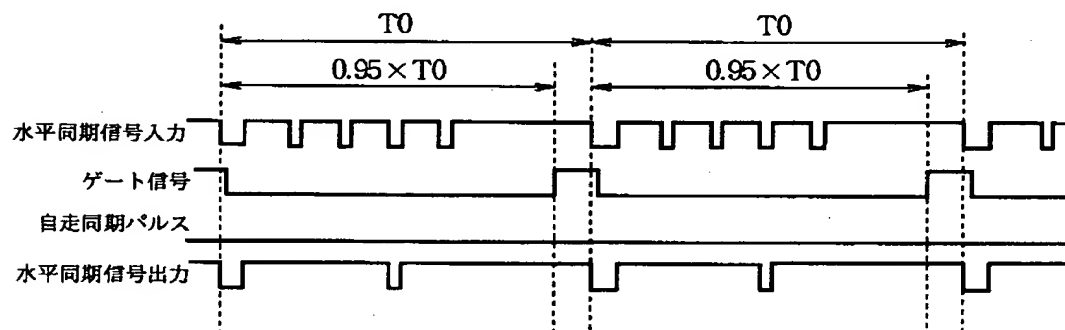
【図 1 4】



【図 1 5】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 入力同期信号の位相が急激に変化した場合でも速やかに出力を入力同期信号に追従させることが可能な同期信号処理回路を提供する。

【解決手段】 入力同期信号によってリセットされる第1のカウンタ2、第1のカウンタのカウント値に基づいて開閉する第1のゲート回路3、リセット信号によってリセットされる第2のカウンタ4、第2のカウンタのカウント値に基づいて自走モードフラグを発生するモード判定回路5、第2のカウンタのカウント値とモード判定回路の出力に基づいて自走同期パルスが発生する自走同期パルス発生回路6、第2のカウンタのカウント値とモード判定回路の出力に基づいて開閉する第2のゲート回路9、第1のゲート回路の出力と自走同期パルスとからリセット信号を生成するリセット信号発生回路11、第2のゲート回路の出力と自走同期パルスから同期パルスを生成する同期パルス生成回路10を含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社